

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-168936  
(43)Date of publication of application : 13.06.2003

(51)Int.Cl. H03F 3/34  
G09G 3/20  
G09G 3/36  
H03F 1/34  
H03F 3/345  
H03F 3/45  
H03F 3/50

(21)Application number : 2001-367832 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 30.11.2001 (72)Inventor : KOKUBU MASATOSHI  
UTO SHINYA  
TSUCHIYA CHIKARA

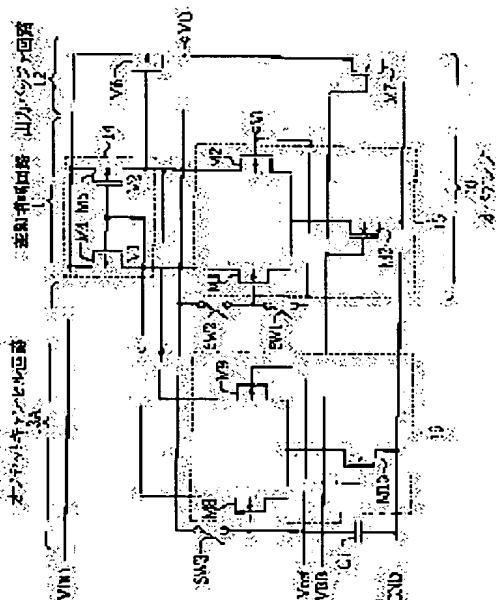
## (54) VOLTAGE FOLLOWER, ITS OFFSET CANCEL CIRCUIT, LIQUID CRYSTAL DISPLAY, AND ITS DATA DRIVER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the offset cancel preparation period.

**SOLUTION:** The drains of the MOS transistors M8 and M9 of a differential pair input circuit 16 are connected severally to the first and second current ends of the current mirror circuit 14 of a differential amplifying circuit 11. Reference potential Vref is applied to the gate of the MOS transistor M9. A switch SW1 is connected between the gates of the differential pair MOS transistors M1 and M2 of the differential amplifying circuit 11. A switch SW2 is connected between the output end VO of an output buffer circuit 12 and the gate of the MOS transistor M1. A switch S3 is connected between the very output end VO and the gate of the MOS transistor M8. In the offset cancel preparation period, the switches SW1 and SW3 are turned on, and the switch SW2 is turned off. Next, the switches SW1-SW3 are reversely turned on and off, and potential where the offset is cancelled is outputted.

本章明の第1実施形態のオノセットモードルート  
・ルートマップ: 図8-1



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**(書誌+要約+請求の範囲)**


---

(19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開2003-168936(P2003-168936A)  
 (43)【公開日】平成15年6月13日(2003. 6. 13)  
 (54)【発明の名称】ボルテージホロワ及びそのオフセットキャンセル回路並びに液晶表示装置  
 及びそのデータドライバ  
 (51)【国際特許分類第7版】

H03F	3/34	
G09G	3/20	611
		623
		3/36
H03F	1/34	
	3/345	
	3/45	
		3/50

**【FI】**

H03F	3/34	A
G09G	3/20	611 H
		623 B
		3/36
H03F	1/34	
	3/345	B
	3/45	A
		B
		3/50

**【審査請求】未請求****【請求項の数】8****【出願形態】OL****【全頁数】9**

(21)【出願番号】特願2001-367832(P2001-367832)

(22)【出願日】平成13年11月30日(2001. 11. 30)

**(71)【出願人】**

【識別番号】000005223

【氏名又は名称】富士通株式会社

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号

**(72)【発明者】**

【氏名】國分 政利

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

**(72)【発明者】**

【氏名】鶴戸 真也

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

**(72)【発明者】**

【氏名】土屋 主税

【住所又は居所】神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

**(74)【代理人】**

【識別番号】100092587

**【弁理士】**

【氏名又は名称】松本 真吉

【テーマコード(参考)】

5C006  
5C080  
5J066  
5J090  
5J091  
5J500

### 【Fターム(参考)】

5C006 AA16 BC11 BF25 FA14 FA20 FA56  
5C080 AA10 DD03 DD09 EE29 JJ03 JJ04 JJ05  
5J066 AA01 AA45 AA47 CA00 CA13 CA78 FA09 HA10 HA17 HA19 HA29 HA40 KA02 KA03 KA09 MA11 MA21 ND01 NC  
5J090 AA01 AA45 AA47 CA00 CA13 CA78 DN01 FA09 HA10 HA17 HA19 HA29 HA40 KA02 KA03 KA09 MA11 MA21 MP  
5J091 AA01 AA45 AA47 CA00 CA13 CA78 FA09 HA10 HA17 HA19 HA29 HA40 KA02 KA03 KA09 MA11 MA21 SA08 TS  
5J500 AA01 AA45 AA47 AC00 AC13 AC78 AF09 AH10 AH17 AH19 AH29 AH40 AK02 AK03 AK09 AM11 AM21 AS08 AS

### (57)【要約】

【課題】オフセットキャンセル準備期間を短縮する。

【解決手段】差動増幅回路11のカレントミラー回路14の第1及び第2の電流端にそれぞれ差動対入力回路16のMOSトランジスタM8及びM9のドレインが接続され、MOSトランジスタM9のゲートに参照電位Vrefが印加され、差動増幅回路11の差動対MOSトランジスタM1及びM2のゲート間にスイッチSW1が接続され、出力バッファ回路12の出力端VOとMOSトランジスタM1のゲートとの間にスイッチSW2が接続され、該出力端VOとMOSトランジスタM8のゲートとの間にスイッチSW3が接続されている。オフセットキャンセル準備期間では、スイッチSW1及びSW3がオンにされスイッチSW2がオフにされる。次に、スイッチSW1～SW3のオンとオフが逆にされて、オフセットがキャンセルされた電位VOが出力される。

### 【特許請求の範囲】

【請求項1】負荷としてカレントミラー回路を備えた差動増幅回路と該差動増幅回路に後続された出力バッファ回路とを有するボルテージホロワのオフセット電圧をキャンセルするオフセットキャンセル回路において、該カレントミラー回路の第1及び第2の電流端にそれぞれ第1及び第2のトランジスタの電流路一端が接続され、該第2のトランジスタのゲートに参照電位が印加される差動対入力回路と、該差動増幅回路の反転入力端と非反転入力端との間に接続された第1スイッチと、該出力バッファ回路の出力端と該反転入力端との間に接続され、該第1スイッチとオン／オフが逆に制御される第2スイッチと、該出力バッファ回路の出力端と該第1のトランジスタのゲートとの間に接続され、該第1スイッチと連動してオン／オフ制御される第3スイッチと、該該第1のトランジスタのゲートと所定電位との間に接続されたキャパシタと、を有することを特徴とするボルテージホロワ用オフセットキャンセル回路。

【請求項2】上記所定電位は、上記参照電位に等しいことを特徴とする請求項1記載のボルテージホロワ用オフセットキャンセル回路。

【請求項3】上記参照電位は、上記入力信号の動作範囲の略中心電位に等しいことを特徴とする請求項1又は2記載のボルテージホロワ用オフセットキャンセル回路。

【請求項4】上記参照電位は、液晶ディスプレイパネルの階調電位の最大値と最小値の略平均値に等しいことを特徴とする請求項1又は2記載のボルテージホロワ用オフセットキャンセル回路。

【請求項5】差動対電位出力端である第1及び第2の電流端を有するカレントミラー回路と、該第1及び第2の電流端にそれぞれ第1及び第2のトランジスタの電流路一端が接続され、該第2のトランジスタのゲートに入力信号が供給される第1差動対入力回路と、該第2の電流端の電位に応じた信号を出力端から取り出す出力バッファ回路と、該第1及び第2の電流端にそれぞれ第3及び第4のトランジスタの電流路一端が接続され、該第4のトランジスタのゲートに参照電位が印加される第2差動対入力回路と、該第1のトランジスタのゲートと該第2のトランジスタのゲートとの間に接続された第1スイッチと、該出力端と該第1のトランジスタのゲートとの

間に接続され、該第1スイッチとオン／オフが逆に制御される第2スイッチと、該出力端と該第3のトランジスタのゲートとの間に接続され、該第1スイッチと連動してオン／オフ制御される第3スイッチと、該該第3のトランジスタのゲートと所定電位との間に接続されたキャパシタと、を有することを特徴とするオフセットキャンセル付ボルテージホロワ。

【請求項6】上記第1差動対入力回路は、定電流源と、該定電流源と上記第1のトランジスタの電流路他端との間に接続された逆流防止用第1ダイオードと、該定電流源と上記第2のトランジスタの電流路他端との間に接続された逆流防止用第2ダイオードと、を有することを特徴とする請求項5記載のオフセットキャンセル付ボルテージホロワ。

【請求項7】液晶表示装置のデータ線に結合される請求項6記載のオフセットキャンセル付ボルテージホロワが複数並設されていることを特徴とする液晶表示装置用データドライバ。

【請求項8】複数のデータ線が形成された液晶表示パネルと、該複数のデータ線に接続された請求項7記載の液晶表示装置用データドライバと、を有することを特徴とする液晶表示装置。

## 詳細な説明

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、オペアンプを用いたボルテージホロワ及びそのオフセットキャンセル回路、特にオフセットキャンセルを頻繁に行う液晶表示装置のデータドライバの出力段などに適用して好適なボルテージホロワ及びそのオフセットキャンセル回路、並びにこのボルテージホロワを出力段に用いた液晶表示装置用データドライバ及び液晶表示装置に関する。

#### 【0002】

【従来の技術】図8は、特開2001-292041に開示されている従来のオフセットキャンセル付ボルテージホロワを示す。

【0003】オペアンプ10は、差動増幅回路11と、その後段に接続された出力バッファ回路12とからなり、出力バッファ回路12の出力電位VOを、差動増幅回路11の反転入力端であるNMOSトランジスタM1のゲートにフィードバックすることにより、増幅率1のボルテージホロワとして用いられる。このボルテージホロワの入力電位VIIは、非反転入力端であるNMOSトランジスタM2のゲートに供給される。理想的な場合には、フィードバック制御により $VO=VI$ となり、このとき、差動増幅回路11の負荷としてのPMOSトランジスタM4及びM5のドレイン電位V1及びV2は、互いに等しくなる。

【0004】しかしながら、MOSトランジスタのゲート酸化膜厚のばらつきなどにより電位V1とV2とが互いに等しくならず、出力電位VOが入力電位VIからずれるというオフセットが生ずる。

【0005】このオフセットをキャンセルするために、オペアンプ10にオフセットキャンセル回路13が接続されている。

【0006】図9は、図8の動作を示すタイムチャートである。

【0007】時点t1からt2までのオフセットキャンセル準備期間では、スイッチSW1及びSW3がオンにされ、スイッチSW2がオフにされる。これにより、出力電位VOがNMOSトランジスタM1のゲートにフィードバックされずにNMOSトランジスタM1とM2のゲート電位が入力電位VIIになるので、差動対入力回路15はカレントミラー回路14に対する電流源として動作する。

【0008】これに対し、NMOSトランジスタM9のゲートに入力電位VIが供給され、NMOSトランジスタM8のゲートに出力電位VOがフィードバックされるので、カレントミラー回路14と差動対入力回路16とからなる差動増幅回路と出力バッファ回路12とによりボルテージホロワ回路が構成され、出力電位VOが入力電位VIIに近づくようにフィードバック制御される。

【0009】この場合も、上記理由により例えば $V1 > V2$ となると、PMOSトランジスタM6の内部抵抗が理想的な場合よりも低くなつて出力電位VOが入力電位VIよりも高くなる。このため、NMOSトランジスタM8のドレイン電流がNMOSトランジスタM9のそれよりも大きくなる。この出力電位VOによりキャパシタC1が充電又は放電されて、そのスイッチSW3側電極の電位が出力電位VOに等しくなる。

【0010】時点t2でスイッチSW1～SW3のオンとオフを逆にすると、差動対入力回路15と16の動作が逆になり、差動増幅回路11と出力バッファ回路12とでボルテージホロワが構成され、出力電位VOが入力電位VIIに近づくようにフィードバック制御される。このとき、NMOSトランジスタM8のゲート電位が時点t2での出力電位VOに等しいので、NMOSトランジスタM1のゲート電位が入力電位VIに一致するようにフィードバック制御される。すなわち、 $VO=VI$ となってオフセット電圧がキャンセルされる。

【0011】図8の回路を液晶表示装置用データドライバに用いた場合、入力電位VIが1水平走査期間、例えば $22\mu s$ の周期で変化する。

#### 【0012】

【発明が解決しようとする課題】入力電位VIIは表示データに依存し、最小値から最大値又は最大値から最小値に変化する場合もある。設計においては、このワーストケースにおいても出力電位VOが安定するのに必要なフィードバック制御時間をオフセットキャンセル準備期間として確保しなければならない。このため、液晶表示装置の表示ライン数が多くなるほど、出力電位VOで液晶画素の容量を充放電するための時間(駆動時間)が圧迫され、駆動できなくなるという問題が生ずる。

【0013】本発明の目的は、このような問題点に鑑み、オフセットキャンセル準備期間を短縮す

ることが可能なボルテージホロワ及びそのオフセットキャンセル回路並びに液晶表示装置及びそのデータドライバを提供することにある。

【0014】

【課題を解決するための手段及びその作用効果】本発明の一態様では、負荷としてカレントミラ一回路を備えた差動増幅回路と該差動増幅回路に後続された出力バッファ回路とを有するボルテージホロワのオフセット電圧をキャンセルするボルテージホロワ用オフセットキャンセル回路において、該カレントミラ一回路の第1及び第2の電流端にそれぞれ第1及び第2のトランジスタの電流路一端が接続され、該第2のトランジスタのゲートに参照電位が印加される差動対入力回路と、該差動増幅回路の反転入力端と非反転入力端との間に接続された第1スイッチと、該出力バッファ回路の出力端と該反転入力端との間に接続され、該第1スイッチとオン／オフが逆に制御される第2スイッチと、該出力バッファ回路の出力端と該第1のトランジスタのゲートとの間に接続され、該第1スイッチと連動してオン／オフ制御される第3スイッチと、該該第1のトランジスタのゲートと所定電位との間に接続されたキャパシタとを有する。

【0015】上記構成において、オフセットキャンセル準備期間では、第1スイッチ及び第3スイッチがオンにされ、第2スイッチがオフにされる。これにより、該差動増幅回路の差動対入力回路は該カレントミラ一回路に対する電流源として動作する。これに対し、該出力バッファ回路の出力電位が該反転入力端にフィードバックされずに該第1のトランジスタのゲートにフィードバックされるので、該カレントミラ一回路と該オフセットキャンセル回路の差動対入力回路からなる差動増幅回路と該出力バッファ回路とによりボルテージホロワ回路が構成され、その出力電位が該参照電位に近づくようにフィードバック制御される。

【0016】このフィードバック制御が安定した後に、第1～第3スイッチのオンとオフとが逆にされて、該2つの差動対入力回路の動作が互いに逆になり、該差動増幅回路と該出力バッファ回路とでボルテージホロワが構成されて、その出力電位が入力電位に近づくようにフィードバック制御される。このとき、該キャパシタにより該第1トランジスタのゲート電位は、スイッチ切換直前の該出力電位に等しい。

【0017】該2つの差動対入力回路の動作が逆になっても、これらが該カレントミラ一回路に並列に接続されており、また、該第1及び第2のトランジスタのゲート電位及び該ボルテージホロワの非反転入力端電位がスイッチ切換直前における安定状態の電位に等しいので、該ボルテージホロワの反転入力端電位は該スイッチ切換直前の電位である該非反転入力端電位に一致した状態でフィードバック制御が安定する。すなわち、オフセット電圧がキャンセルされる。

【0018】本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0020】[第1実施形態]図1は、本発明の第1実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【0021】差動増幅回路11は、負荷としてのカレントミラ一回路14と、その第1及び第2の電流出力端に接続された差動対入力回路15とからなる。

【0022】カレントミラ一回路14では、PMOSトランジスタM4とM5のソースが電源電位VDDに接続され、PMOSトランジスタM4とM5のゲートがPMOSトランジスタM4のドレインに接続され、PMOSトランジスタM4とM5のドレインがそれぞれ前記第1及び第2の電流出力端となっている。差動対入力回路15では、NMOSトランジスタM1とM2のソースがNMOSトランジスタM3のドレインに接続され、NMOSトランジスタM3のソースがグランド電位GNDに接続されている。NMOSトランジスタM3は、そのゲートにバイアス電位VBBが印加されて定電流源として機能する。

【0023】差動増幅回路11の反転入力端及び非反転入力端はそれぞれNMOSトランジスタM1及びM2のゲートであり、差動増幅回路11の出力端はPMOSトランジスタM5のドレインである。

【0024】出力バッファ回路12は、電源電位VDDとグランド電位GNDとの間に直列接続されたPMOSトランジスタM6とNMOSトランジスタM7とからなり、NMOSトランジスタM7は、そのゲートにバイアス電位VBBが印加されて定電流源として機能する。出力バッファ回路12の入力端及び出力端はそれぞれPMOSトランジスタM6のゲート及びドレインであり、この入力端が差動増幅回路11の出力端に接続されている。

【0025】オフセットキャンセル回路13Aは、差動対入力回路15と同一構成の差動対入力回路

16を備えており、そのNMOSトランジスタM8～M10はそれぞれ差動対入力回路15のNMOSトランジスタM1～M3に対応している。差動対入力回路16は、カレントミラー回路14に対し差動対入力回路15と並列に接続されている。オフセットキャンセル回路13Aはさらに、NMOSトランジスタM8のゲートとグランド電位GNDとの間に接続されたキャパシタC1と、スイッチSW1～SW3とを備えている。スイッチSW1はNMOSトランジスタM1とM2のゲート間に接続され、スイッチSW2はNMOSトランジスタM1のゲートと出力電位VOとの間に接続され、スイッチSW3はNMOSトランジスタM8のゲートと出力電位VOとの間に接続されている。

【0026】図1の回路は、NMOSトランジスタM9のゲートに、入力電位VIの替わりに所定の参照電位Vrefが印加される点で図8の回路と異なっている。

【0027】オフセットキャンセルをより正確に行うためには、参照電位Vrefと入力電位VIとの差を小さくした方が好ましく、参照電位Vrefは例えば、入力電位VIの変動範囲の略中点に固定されている。例えば図1の回路を液晶表示装置用データドライバの出力段として用いる場合、参照電位Vrefは階調電圧範囲の略中心値に等しくされる。

【0028】次に、上記の如く構成された本第1実施形態の動作を説明する。

【0029】図2は、図1の動作を示すタイムチャートである。

【0030】時点t1からt2までのオフセットキャンセル準備期間では、スイッチSW1及びSW3がオンにされ、スイッチSW2がオフにされる。これにより、出力電位VOがNMOSトランジスタM1のゲートにフィードバックされずにNMOSトランジスタM1とM2のゲート電位が入力電位VIになるので、差動対入力回路15はカレントミラー回路14に対する電流源として動作する。

【0031】これに対し、NMOSトランジスタM8のゲートに出力電位VOがフィードバックされるので、カレントミラー回路14と差動対入力回路16からなる差動増幅回路と出力バッファ回路12とによりボルテージホロワ回路が構成され、出力電位VOが参照電位Vrefに近づくようにフィードバック制御される。このとき、MOSトランジスタのゲート酸化膜厚のばらつきなどにより電位V1とV2とが互いに等しくならず、出力電位VOが入力電位VIからずれるというオフセットが生ずる。

【0032】例えばV1>V2となると、PMOSトランジスタM6の内部抵抗が理想的な場合よりも低くなつて出力電位VOが参照電位Vrefよりも高くなる。このため、NMOSトランジスタM8のドレイン電流がNMOSトランジスタM9のそれよりも大きくなる。この出力電位VOによりキャパシタC1が充電又は放電されて、そのスイッチSW3側の電極の電位が出力電位VOに等しくなる。

【0033】時点t2でスイッチSW1～SW3のオンとオフを逆にすると、差動対入力回路15と16の動作が逆になり、差動増幅回路11と出力バッファ回路12とでボルテージホロワが構成されて、出力電位VOが入力電位VIに近づくようにフィードバック制御される。このとき、NMOSトランジスタM8のゲート電位は時点t2での出力電位VOに等しい。差動対入力回路15と16の動作が逆になつても、差動対入力回路15と16とがカレントミラー回路14に並列に接続されており、また、NMOSトランジスタM2、M8及びM9のゲート電位が時点t2のスイッチ切換直前における安定状態の電位に等しいので、NMOSトランジスタM1のゲート電位は該スイッチ切換直前の電位である入力電位VIに一致した状態でフィードバック制御が安定する。すなわち、VO=VIとなってオフセット電圧がキャンセルされる。

【0034】図8の回路では、NMOSトランジスタM9のゲート電位が入力電位VIに応じて変化するが、本第1実施形態によればNMOSトランジスタM9のゲート電位が参照電位Vrefに固定されているので、キャパシタC1のスイッチSW3側電極電位は常に参照電位Vref付近の値であり、オフセットキャンセル準備期間において差動対入力回路16を含むボルテージホロワ回路のフィードバック制御が安定するまでの時間が、図8の場合よりも短くなる。この時間は、図1の回路の消費電流、すなわちNMOSトランジスタM10、M3及びM7に流れる電流の合計値に依存する。

【0035】実験の結果、キャパシタC1が1.2pFで、NMOSトランジスタM10、M3及びM7に流れる電流値がそれぞれ5μA、5μA及び10μAである場合、図1の回路に必要なオフセットキャンセル準備期間は0.6μsであった。これに対し、図8のそれは2.0μsであった。また、64階調の液晶表示装置用データドライバに、図1の回路を用いた場合と図8の回路を用いた場合とでは、いずれも、オフセット電圧の最大値が±10mVであったのに対し、オフセットキャンセル動作によりこれを±1mV以下にすることができた。

【0036】図3は、図1のオフセットキャンセル付ボルテージホロワの変形例を示す回路図であ

る。

【0037】この回路では、キャパシタC1の固定側電極電位が参照電位Vrefにされている点で、図1と異なる。この回路によれば、参照電位Vrefの方がグランド電位GNDよりも安定している場合、図1の場合よりもオフセットキャンセルを正確に行うことができる。

【0038】図4は、図1のオフセットキャンセル付ボルテージホロワの他の変形例を示す回路図である。

【0039】この回路では、キャパシタC1の固定側電極電位が電源電位VDDにされている点で、図1と異なる。この回路によれば、電源電位VDDの方がグランド電位GNDよりも安定している場合、図1のときよりもオフセットキャンセルを正確に行うことができる。

【0040】図5は、図1のオフセットキャンセル付ボルテージホロワのさらに他の変形例を示す回路図である。

【0041】この回路では、図1の回路にさらに、電源電位VDDとNMOSトランジスタM8のゲートとの間にキャパシタC2が接続されている。この回路によれば、例えば電源電位VDDが一定の状態でグランド電位GNDが変動した場合、キャパシタC2によりその影響が低減される。

【0042】[第2実施形態]図6は、本発明の第2実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【0043】この回路では、NMOSトランジスタM8のソースとNMOSトランジスタM10のドレインとの間及びNMOSトランジスタM9のソースとNMOSトランジスタM10のドレインとの間にそれぞれ逆流防止用のダイオードD1及びD2が接続されている点で、図1の回路と異なる。ダイオードD1及びD2はいずれも、ダイオード接続されたMOSトランジスタで構成することができる。

【0044】図7は、図1、3～6のいずれかの回路をデータドライバに用いた液晶表示装置の概略構成を示す。

【0045】液晶表示パネル20には、垂直方向に延びた複数のデータ線21と水平方向に延びた複数の走査線22とが互いにクロスオーバして形成され、各クロスオーバ点に対応して画素が形成されている。データ線21及び走査線22の一端はそれぞれデータドライバ30及び走査ドライバ40に接続されている。制御回路50は、外部から供給されるビデオ信号、ピクセルクロック信号、水平同期信号及び垂直同期信号に基づいて、データドライバ30に表示データ信号及びクロック信号を供給すると共に、走査ドライバデータドライバ30に走査制御信号を供給する。データドライバ30は、1水平走査期間毎(及び1ピクセル毎)に、表示データをグランド電位GNDに対し正極性及び負正極性の電位に変換して出力する。

【0046】データドライバ30では、その出力段に正極性のオフセットキャンセル付ボルテージホロワ31、負極性のオフセットキャンセル付ボルテージホロワ32、…が形成され、これらの隣り合う一対の正及び負極性のオフセットキャンセル付ボルテージホロワ毎にその出力が切換回路で平行接続又はクロスオーバ接続されるように、液晶表示パネル20のデータ線に接続されている。正極性のオフセットキャンセル付ボルテージホロワ31は、図1、3～6のいずれかと同一構成であり、負極性のオフセットキャンセル付ボルテージホロワ32は、該いずれかにおいてNMOSトランジスタとPMOSトランジスタとを入れ替えた構成である。

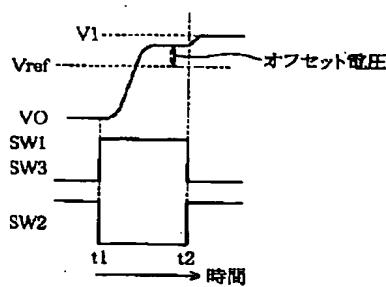
【0047】切換回路61の切り替え時点でオフセットキャンセル付ボルテージホロワ31の出力電位が瞬間的に急低下し、図1の回路の場合にはこれによりNMOSトランジスタM8に流れる電流の一部がNMOSトランジスタM9側へ流れて、この動作が安定するまでの時間が余分に必要となる。しかし、図6の回路によればこの逆流が防止されるので、必要な液晶画素駆動時間を確保することができる。

【0048】なお、本発明には外にも種々の変形例が含まれる。

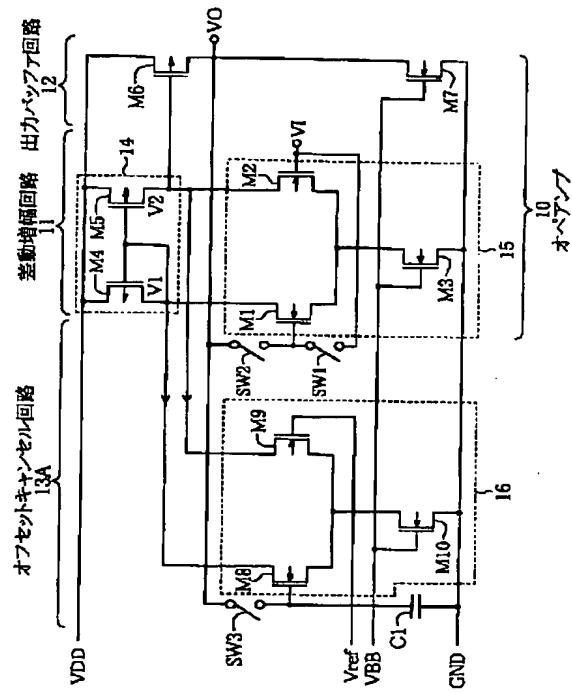
【0049】例えば、ダイオードD1及びD2の替わりに、それぞれNMOSトランジスタM8及びM9に直列接続されたスイッチを用い、出力電位VOが急低下する時点の前後の期間でこれらスイッチをオフにすることにより、逆流を防止する構成であってもよい。また、電源電位VDD又はグランド電位GNDの変動に対しバイアス電位VBBを調整して、定電流源としてのNMOSトランジスタM10、M3及びM7に流れる電流を安定化させる構成であってもよい。

## 図面

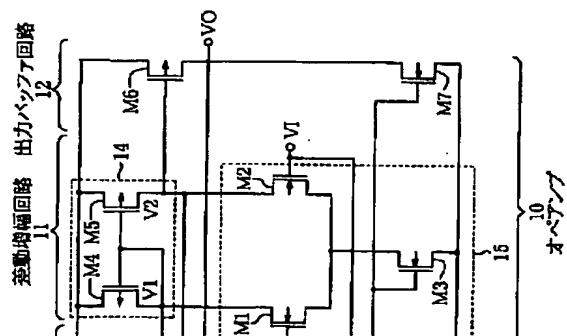
【図2】  
図1の動作を示すタイムチャート

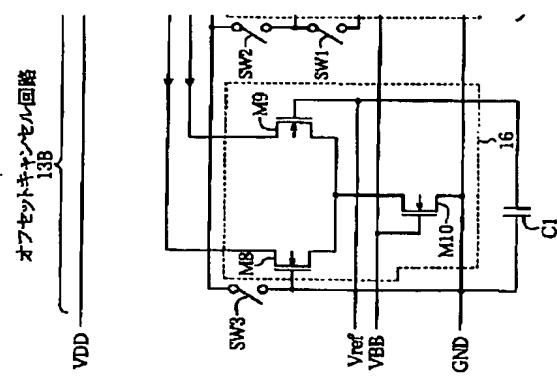


【図1】  
本発明の第1実施形態のオフセットキャンセル付  
ボルテージホロワを示す回路図

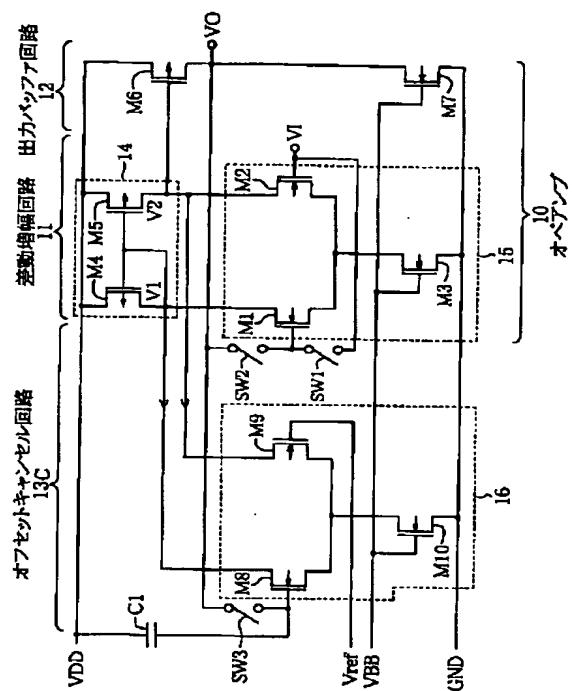


【図3】  
図1のオフセットキャンセル付ボルテージホロワの  
変形例を示す回路図

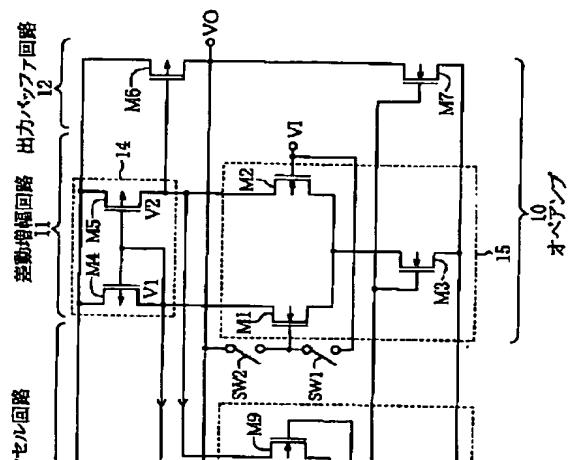


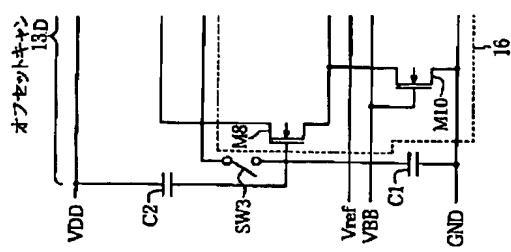


**【図4】**  
図1のオフセットキャンセル付ボルテージホロワの  
他の変形例を示す回路図

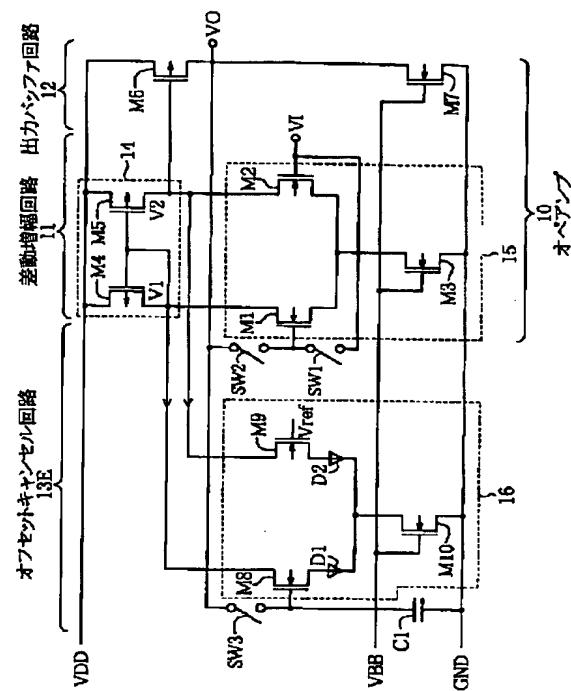


**【図5】**  
図1のオフセットキャンセル付ボルテージホロワの  
さらに他の変形例を示す回路図

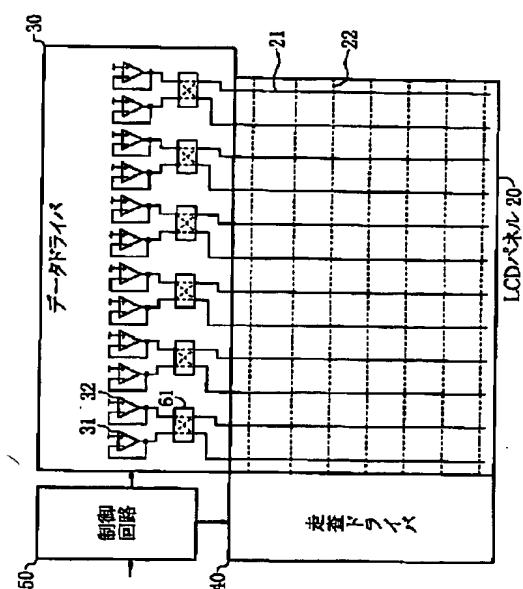




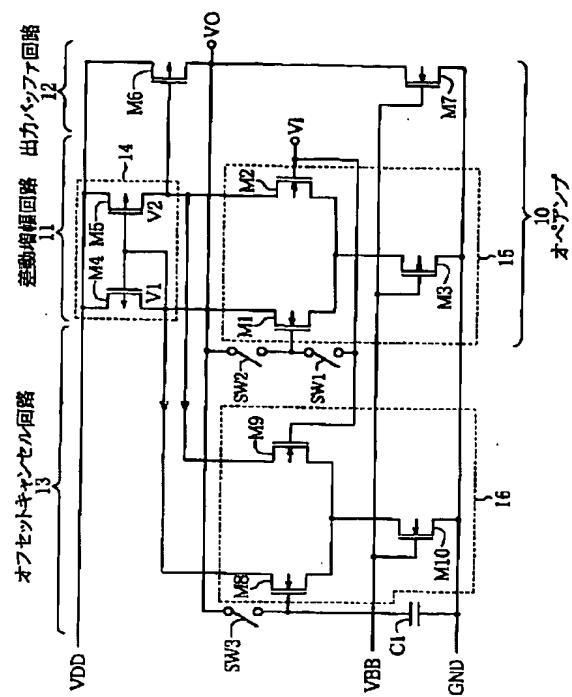
【図6】  
本発明の第2実施形態のオフセットキャンセル付  
ボルテージホロフを示す回路図



【図7】  
図8の回路をデータドライバに用いた液晶表示装置の  
概略構成を示す図



【図8】  
示す回路図



【図9】  
図8の動作を示すタイムチャート

